

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064730

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 23/34
H01L 23/12

(21)Application number : 06-195127

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 19.08.1994

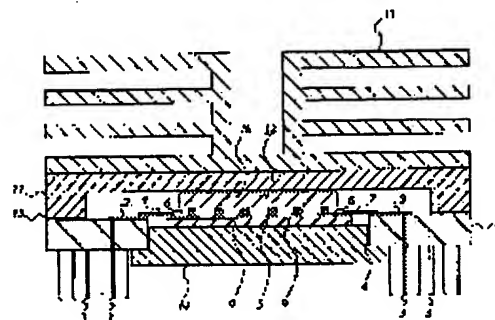
(72)Inventor : SASAKI MASAKO
OKINAGA TAKAYUKI
EMATA KOJI
TATE HIROSHI
HORIUCHI HITOSHI
OGUMA HIROSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the thermal resistance of a plastic-pin-grid-array package by a method wherein a semiconductor chip is bonded in a face-down posture, a metal heat sink is bonded to the rear of a plastic wiring board and, further, a metal cap is bonded to the rear of the semiconductor chip.

CONSTITUTION: The package board 1 of a pin-grid-array is composed of a glass cloth substrate impregnated with plastic resin such as epoxy resin. A plastic wiring board 5 which is thinner than the package board 1 is provided in an aperture 4 formed at the center of the package board. A semiconductor chip 10 is bonded to the main surface of the plastic wiring board 5 in a face-down posture and, further, a metal cap 11 is bonded with pump electrodes 9 therebetween. A metal heat sink 14 is bonded to the rear of the semiconductor chip 10. With this constitution, the heat produced in the semiconductor chip 10 is discharged from both the sides of the



semiconductor chip 10 to reduce the thermal resistance of the plastic pin grid array.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64730

(43) 公開日 平成8年 (1996) 3月8日

(51) Int. Cl.⁶

H 0 1 L 23/34
23/12

識別記号

A

庁内整理番号

F I

H 0 1 L 23/12

技術表示箇所

P

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平6-195127

(22) 出願日 平成6年 (1994) 8月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72) 発明者 佐々木 雅子

東京都小平市上水本町5丁目20番1号 日立

超エル・エス・アイ・エンジニアリング株式会社内

(74) 代理人 弁理士 筒井 大和

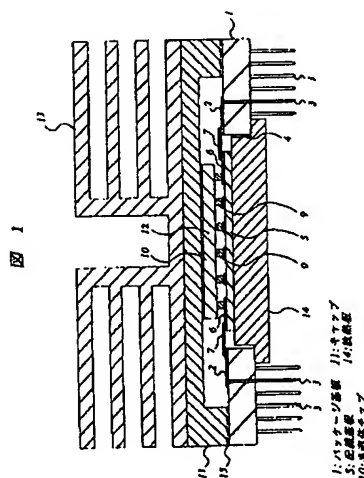
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 プラスチック・ピン・グリッド・アレイの熱抵抗を低減する。

【構成】 パッケージ基板1の中央部に設けた開孔4内に、このパッケージ基板1よりも薄いプラスチック製の配線基板5を配置してその主面上にバンプ電極9を介して半導体チップ10をフェイスダウンボンディングする。そして、配線基板5の下面に金属製の放熱板14を接合すると共に、半導体チップ10の上面に金属製のキャップ11を接合し、半導体チップ10で発生した熱がその両面 (キャップ11および放熱板14) から放散されるようにする。



【特許請求の範囲】

【請求項1】 パッケージ基板をプラスチックで構成したピン・グリッド・アレイ型の半導体集積回路装置であって、前記パッケージ基板の中央部に設けた開孔内に、前記パッケージ基板よりも薄いプラスチック製の配線基板を配置してその主面上にパンプ電極を介して半導体チップをフェイスダウンボンディングし、前記プラスチック製の配線基板の裏面に金属製の放熱板を接合すると共に、前記半導体チップの裏面に金属製のキャップを接合したことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記パッケージ基板の配線と前記配線基板の配線とをリードまたはワイヤを介して電気的に接続したことを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記放熱板または前記キャップに放熱フィンを接合したことを特徴とする半導体集積回路装置。

【請求項4】 パッケージ基板をプラスチックで構成したピン・グリッド・アレイ型の半導体集積回路装置であって、前記パッケージ基板の中央部に設けた開孔内にエリアTABを配置してその一面にパンプ電極を介して半導体チップをフェイスダウンボンディングし、前記エリアTABの他の面に金属製の放熱板または放熱フィンを接合すると共に、前記半導体チップの裏面に金属製のキャップを接合したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、ピン・グリッド・アレイ(Pin Grid Array; PGA)型パッケージの放熱対策に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、LSIの高集積化、高速化に伴って半導体チップの発熱量が増大していることから、ピン・グリッド・アレイ、特にプラスチック・ピン・グリッド・アレイにおいては、パッケージの熱抵抗を如何にして低減するかが重要な課題となっている。

【0003】 従来、プラスチック・ピン・グリッド・アレイの放熱対策としては、例えば特開平4-123441号公報などに記載があるように、パッケージをキャビティ・ダウン構造にして半導体チップの裏面側に放熱フィンを取り付けたり、キャビティ内にシリコンゲルを充填したりする構造が知られている。

【0004】

【発明が解決しようとする課題】 しかしながら、半導体チップの発熱量がさらに増大すると、前記従来技術のような放熱対策ではパッケージの熱抵抗を十分に低減することが困難となる。

【0005】 本発明の目的は、プラスチック・ピン・グ

リッド・アレイ型パッケージの熱抵抗を低減することのできる技術を提供することにある。

【0006】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

10 【0008】 (1) 本発明のプラスチック・ピン・グリッド・アレイ型半導体集積回路装置は、パッケージ基板の中央部に設けた開孔内に、このパッケージ基板よりも薄いプラスチック製の配線基板を配置してその主面上にパンプ電極を介して半導体チップをフェイスダウンボンディングし、上記配線基板の裏面に金属製の放熱板を接合すると共に、上記半導体チップの裏面に金属製のキャップを接合した放熱構造を有するものである。

20 【0009】 (2) 本発明のプラスチック・ピン・グリッド・アレイ型半導体集積回路装置は、上記放熱板または上記キャップに放熱フィンを接合した放熱構造を有するものである。

30 【0010】 (3) 本発明のプラスチック・ピン・グリッド・アレイ型半導体集積回路装置は、パッケージ基板の中央部に設けた開孔内にエリアTABを配置してその一面にパンプ電極を介して半導体チップをフェイスダウンボンディングし、上記エリアTABの他の面に金属製の放熱板または放熱フィンを接合すると共に、上記半導体チップの裏面に金属製のキャップを接合した放熱構造を有するものである。

【0011】

【作用】 上記した手段によれば、半導体チップがフェイスダウンボンディングされた薄いプラスチック製の配線基板(またはエリアTAB)に金属製の放熱板を接合し、さらに半導体チップの裏面に金属製のキャップを接合することにより、半導体チップで発生した熱が半導体チップの両面(放熱板およびキャップ)から放散されるようになるので、プラスチック・ピン・グリッド・アレイの熱抵抗を低減することが可能となる。

【0012】

40 【実施例】 以下、本発明の実施例を図面に基いて詳細に説明する。

【0013】 (実施例1) 図1は、本発明の実施例1である半導体集積回路装置の要部を示す断面図である。

【0014】 この半導体集積回路装置は、パッケージ基板1をガラス布基材エポキシ樹脂(ガラエポ)あるいはガラス布基材ポリイミド樹脂などのプラスチックで構成した、いわゆるプラスチック・ピン・グリッド・アレイである。

50 【0015】 パッケージ基板1の主面(上面)には多数の配線2が形成されている。これらの配線2は、例えば

Cuで構成されており、その表面にはNi、Auの順でメッキが施されている。また、パッケージ基板1の外周部には上記配線2と接続された多数のリードピン3が挿入されている。これらのリードピン3は、42アロイやコパールなどのFe系合金で構成されており、その表面にはSnあるいは半田などのメッキが施されている。

【0016】上記パッケージ基板1の中央部には開孔4が設けてあり、その内側にはパッケージ基板1よりも薄い配線基板5が配置されている。この配線基板5は、パッケージ基板1と同じガラス布基材エポキシ樹脂、ガラス布基材ポリイミド樹脂などのプラスチックで構成されており、その主面（上面）には、例えばCuの表面にNi、Auの順でメッキを施した配線6が形成されている。

【0017】上記パッケージ基板1の配線2と、これに対応する配線基板5の配線6とは、リード7を介して電氣的に接続されている。リード7は、リードピン3と同じ42アロイやコパールなどのFe系合金で構成されており、半田などによって配線2、4上に接合されている。パッケージ基板1の配線2と配線基板5の配線6は、図2に示すように、Auのボンディングワイヤ8を介して電氣的に接続することもできる。

【0018】上記配線基板5の主面上には、バンパ電極9を介して半導体チップ10がフェイスダウンボンディングされている。バンパ電極9は、例えば半田（CCBバンパ）で構成されている。

【0019】上記半導体チップ10の裏面（上面）には、CuやAlのような熱伝導性の高い金属で構成されたキャップ11が半田12により接合されている。また、このキャップ11の外周部は、シリコーンゴムのような低ヤング率の接着剤15によってパッケージ基板1の主面上に接合されている。

【0020】上記キャップ11の上面には、Alのような熱伝導性の高い金属製の放熱フィン13が半田あるいは接着剤などにより接合されている。従って、半導体チップ10で発生した熱の一部は、半田12およびキャップ11を通じて放熱フィン13に伝達され、その表面から外部に放散する。

【0021】一方、前記配線基板5の下面には、CuやAlのような熱伝導性の高い金属で構成された放熱板14が接着剤などにより接合されている。従って、半導体チップ10で発生した熱の一部は、バンパ電極9および薄い配線基板5を通じて放熱板14に伝達され、その表面から外部に放散する。

【0022】このように、本実施例1のプラスチック・ピン・グリッド・アレイによれば、半導体チップ10で発生した熱がその両面（キャップ11および放熱板14）から放散されるので、その熱抵抗を確実に低減することができる。

【0023】（実施例2）図3は、本発明の実施例2で

ある半導体集積回路装置の要部を示す断面図である。

【0024】本実施例2のプラスチック・ピン・グリッド・アレイは、パッケージ基板1をキャビティ・ダウン構造にしたもので、半導体チップ10の下面にキャップ11を接合し、配線基板5の下面に放熱板14を接合した構造で構成されている。

【0025】本実施例2のプラスチック・ピン・グリッド・アレイも、半導体チップ10で発生した熱がその両面（キャップ11および放熱板14）から放散されるので、前記実施例1と同様、その熱抵抗を確実に低減することができる。

【0026】（実施例3）図4は、本発明の実施例3である半導体集積回路装置の要部を示す断面図である。

【0027】本実施例3のプラスチック・ピン・グリッド・アレイは、パッケージ基板1の中央部に設けた開孔4の内側にエリアTAB16を配置したことの特徴がある。このエリアTAB16は、ポリイミド樹脂のようなプラスチック・フィルムの両面にCuなどのリード17を形成したもので、このリード17と半導体チップ10とは、Auのバンパ電極18を介して電氣的に接続されている。また、このリード17の一端（アウターリード）は、周知のギャングボンディング法によってパッケージ基板1の配線2上に一括接続されている。

【0028】上記エリアTAB16の上面には、シリコーンゴムのような接着剤19を介して放熱板14が接合されている。この放熱板14は、前記実施例1、2の放熱板14と同様、CuやAlのような熱伝導性の高い金属で構成されている。従って、半導体チップ10で発生した熱の一部は、バンパ電極18およびエリアTAB16のリード17を通じて放熱板14に伝達され、その表面から外部に放散する。

【0029】また、本実施例3のプラスチック・ピン・グリッド・アレイは、前記実施例2と同様、パッケージ基板1をキャビティ・ダウン構造で構成し、半導体チップ10の下面に半田12を介してキャップ11を接合している。従って、半導体チップ10で発生した熱の一部は、半田12を通じてキャップ11に伝達され、その表面から外部に放散する。

【0030】このように、本実施例3のプラスチック・ピン・グリッド・アレイによれば、半導体チップ10で発生した熱がその両面（キャップ11および放熱板14）から放散されるので、前記実施例1、2と同様、その熱抵抗を確実に低減することができる。

【0031】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0032】例えば前記実施例3では、エリアTAB16の上面に放熱板14を接合したが、図5に示すように、この放熱板14の上面にさらに放熱フィン13を接

5

合してもよい。また、図6に示すように、放熱板14に代えて放熱フィン13をエリアTAB16の上面に直接接合してもよい。

【0033】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0034】本発明のプラスチック・ピン・グリッド・アレイによれば、半導体チップで発生した熱がその両面から放散されるので、その熱抵抗を確実に低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図3】本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図4】本発明の他の実施例である半導体集積回路装置の要部断面図である。

【図5】本発明の他の実施例である半導体集積回路装置の要部断面図である。

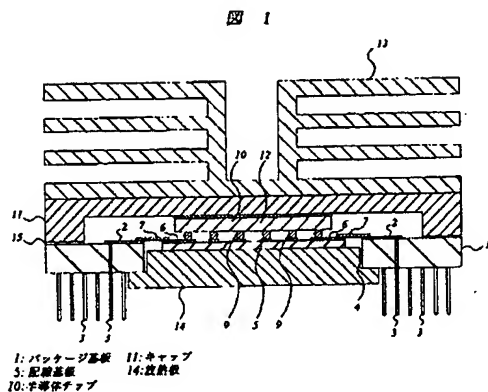
6

【図6】本発明の他の実施例である半導体集積回路装置の要部断面図である。

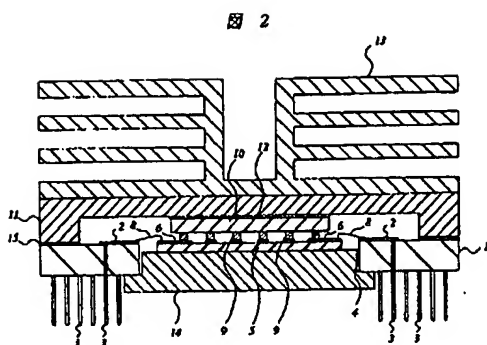
【符号の説明】

- 1 パッケージ本体
- 2 配線
- 3 リードピン
- 4 開孔
- 5 配線基板
- 6 配線
- 7 リード
- 8 ボンディングワイヤ
- 9 パンプ電極
- 10 半導体チップ
- 11 キャップ
- 12 半田
- 13 放熱フィン
- 14 放熱板
- 15 接着剤
- 16 エリアTAB
- 17 リード
- 18 パンプ電極
- 19 接着剤

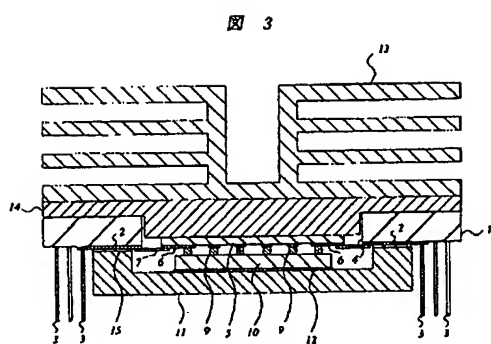
【図1】



【図2】

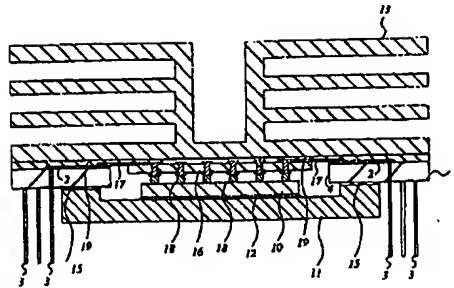


【図3】



【図6】

図 6



フロントページの続き

(72)発明者 沖永 隆幸

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 江俣 孝司

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 舘 宏

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 堀内 整

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 小熊 広志

東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内